

WEST

Generate Collection

L3: Entry 24 of 25

File: JPAB

Jun 2, 1995

PUB-NO: JP407142617A

DOCUMENT-IDENTIFIER: JP 07142617 A

TITLE: DATA WRITE-IN METHOD IN NON-VOLATILE SEMICONDUCTOR MEMORY

PUBN-DATE: June 2, 1995

INVENTOR-INFORMATION:

NAME

COUNTRY

OTANI, YUKIHIRO

KUBOTA, TETSUYA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SANYO ELECTRIC CO LTD

N/A

APPL-NO: JP05292000

APPL-DATE: November 22, 1993

INT-CL (IPC): H01L 21/8247; H01L 29/788; H01L 29/792; G11C 16/02; G11C 16/04

ABSTRACT:

PURPOSE: To provide the suppressing method of erroneous operations in the data write-in time in a split gate type flush memory.

CONSTITUTION: When memory data are written in this non-volatile semiconductor memory wherein a drain region layer 12 and a source region layer 13 are formed on a semiconductor substrate 11, a floating gate 15 is formed through the intermediary of the first insulating film 14 on the region between the drain region layer 12 and the source region layer 13, the second insulating film 16 is formed on the upper part of the floating gate 15 while a control gate 18 is formed through the intermediary of the third insulating film 17 extending from the upper part of the second insulating film to be the side of the floating gate 15, the semiconductor substrate 11 of the memory is impressed with a specific substrate bias (V_{sub}).

COPYRIGHT: (C)1995,JPO

AB: PURPOSE: To provide the suppressing method of erroneous operations in the data write-in time in a split gate type flush memory. CONSTITUTION: When memory data are written in this non-volatile semiconductor memory wherein a drain region layer 12 and a source region layer 13 are formed on a semiconductor substrate 11, a floating gate 15 is formed through the intermediary of the first insulating film 14 on the region between the drain region layer 12 and the source region layer 13, the second insulating film 16 is formed on the upper part of the floating gate 15 while a control gate 18 is formed through the intermediary of the third insulating film 17 extending from the upper part of the second insulating film to be the side of the floating gate 15, the semiconductor substrate 11 of the memory is impressed with a specific substrate bias (V_{sub}). COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-142617

(43) 公開日 平成7年(1995)6月2日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8247

29/788

29/792

H 0 1 L 29/ 78

3 7 1

G 1 1 C 17/ 00

3 0 7 D

審査請求 未請求 請求項の数 1 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平5-292000

(22) 出願日 平成5年(1993)11月22日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 大谷 幸弘

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 窪田 徹哉

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

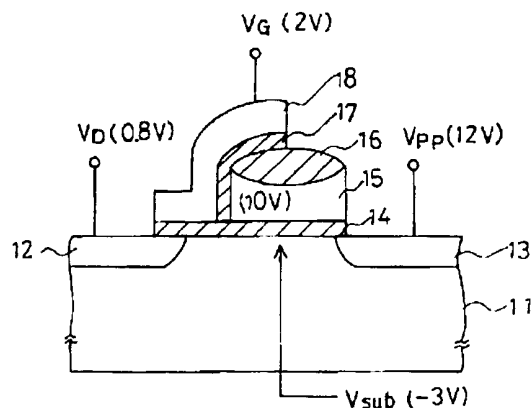
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 不揮発性半導体記憶装置の情報書き込み方法

(57) 【要約】

【目的】 スプリットゲート型のフラッシュメモリの情報書き込み時の誤動作を抑止する方法に関する。

【構成】 半導体基板(11)上にドレイン領域層(12)とソース領域層(13)とが形成され、該ドレイン領域層(12)とソース領域層(13)との間の領域に第1の絶縁膜(14)を介してフローティングゲート(15)が形成され、第2の絶縁膜(16)が前記フローティングゲート(15)の上部に形成され、前記第2の絶縁膜(16)の上部から前記フローティングゲート(15)の側部にかけて第3の絶縁膜(17)を介してコントロールゲート(18)が形成されてなる不揮発性半導体記憶装置に記憶情報を書込む際に、一定の基板バイアス(V_{sub})を前記不揮発性半導体記憶装置の前記半導体基板(11)に印加すること。



- 11: 半導体基板 12: ドレイン領域層
13: ソース領域層 14: 第1の絶縁膜
15: フローティングゲート 16: 第2の絶縁膜
17: 第3の絶縁膜 18: コントロールゲート
 V_{sub} : 基板バイアス

【特許請求の範囲】

【請求項1】 半導体基板(11)上にドレイン領域層(12)とソース領域層(13)とが形成され、該ドレイン領域層(12)とソース領域層(13)との間の領域に第1の絶縁膜(14)を介してフローティングゲート(15)が形成され、第2の絶縁膜(16)が前記フローティングゲート(15)の上部に形成され、前記第2の絶縁膜(16)の上部から前記フローティングゲート(15)の側部にかけて第3の絶縁膜(17)を介してコントロールゲート(18)が形成されてなる不揮発性半導体記憶装置に記憶情報を書込む際に、一定の基板バイアス(V_{sub})を前記不揮発性半導体記憶装置の前記半導体基板(11)に印加することを特徴とする不揮発性半導体記憶装置の情報書き込み方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は不揮発性半導体記憶装置の情報書き込み方法に関し、更に詳しく言えば、スプリットゲート型のフラッシュメモリの情報書き込み時の誤動作を抑止する方法に関する。

【0002】

【従来の技術】以下で、従来例に係る不揮発性半導体記憶装置の情報書き込み方法について図面を参照しながら説明する。不揮発性半導体記憶装置のメモリセルの一例として、図3に示すように、半導体基板(1)の上に第一のゲート絶縁膜(4)を介してフローティングゲート(5)が形成され、その上部に第二のゲート絶縁膜(6)が形成され、それらの上部から側部にかけて第三のゲート絶縁膜(7)を介してコントロールゲート(8)が形成され、さらに、フローティングゲート(5)とコントロールゲート(8)の両側にある半導体基板(1)にドレイン領域(2)とソース領域(3)とが形成された装置が提案されている。上記のようなスプリット型フラッシュメモリのメモリセルが図4の等価回路図に示すようにマトリクス状に配置されることにより、一般にスプリット型フラッシュメモリと称するフラッシュメモリが構成される。

【0003】以下で上記のスプリット型フラッシュメモリのメモリセルに情報を書き込む(以下、プログラムする、という。)方法について説明する。プログラムすべきセル(以下選択セルと称する)にプログラムするときには、そのコントロールゲート(8)に約2Vのゲート電圧(V_g)を印加する。すると、このメモリセルを構成するトランジスタがONされ、フローティングゲート(5)の直下の不図示のチャンネルを通過してキャリア(e-)がドレイン領域(2)からソース領域(3)へと通過するが、このとき、同時に図5に示すようにキャリア(e-)がフローティングゲート(5)に注入されてプログラムがなされる。(正常動作)

プログラムしないセル(以下非選択セルと称する)にお

いては、ゲート電圧(V_g)を0Vにするのでメモリセルを構成するトランジスタはOFFされており、キャリア(e-)がチャンネルからフローティングゲート(5)に注入されないで、プログラムされない。上記のような処理を各々のメモリセルについて行うことによってスプリット型フラッシュメモリへのプログラムを行っている。

【0004】なお、図5、6に示すように、書き込み時に於いてドレイン電圧(V_d)は0.8Vであり、ソース電圧(V_{pp})は1.2Vに設定している。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の不揮発性半導体記憶装置によると、図4の等価回路図に示すように、選択セル(M1)と同一のビット線(BL2)に接続される非選択セル(M2)のフローティングゲート(5)の電位が、ドレイン電圧(V_{pp})の1.2Vによって誘起されて1.0V程度になっているので、図に示すようにコントロールゲート(8)のゲート電圧(V_g)の0Vとの間の電位差が約1.0V程度と大きくなる。

【0006】特に、コントロールゲートの角部(8A)においては、図7に示すように、フローティングゲートに向かう電界の強度が強くなっている。なお、図7はコントロールゲートとフローティングゲート間の電界の状況を示した図であり、図中の等電位線が密なところでは電界強度が強く、疎なところでは電界強度が弱いということを示している。

【0007】よって、非選択セル(M2)においても、コントロールゲートの角部(8A)からフローティングゲート(5)へ向かう強い電界によって図6に示すように、コントロールゲート内のキャリアが、コントロールゲートの角部(8A)からフローティングゲート(5)へ向かって誤って注入されてしまうので、当該スプリット型フラッシュメモリに誤ったプログラムが行われてしまうという問題が生じていた。

【0008】

【課題を解決するための手段】本発明は上記従来の欠点に鑑み成されたもので、図1に示すように、半導体基板(11)上にドレイン領域層(12)とソース領域層(13)とが形成され、該ドレイン領域層(12)とソース領域層(13)との間の領域に第1の絶縁膜(14)を介してフローティングゲート(15)が形成され、第2の絶縁膜(16)が前記フローティングゲート(15)の上部に形成され、前記第2の絶縁膜(16)の上部から前記フローティングゲート(15)の側部にかけて第3の絶縁膜(17)を介してコントロールゲート(18)が形成されてなる不揮発性半導体記憶装置に記憶情報を書込む際に、一定の基板バイアス(V_{sub})を前記不揮発性半導体記憶装置の前記半導体基板(11)に印加することにより、コントロールゲート(1

8)の角部からフローティングゲート(15)へ向かって、キャリアが注入されてしまう現象(以下これをリバーストンネリング現象と称する)を極力抑止し、半導体記憶装置の誤書き込みを抑止することを可能にする不揮発性半導体記憶装置の情報書き込み方法を提供するものである。

【0009】

【作 用】本発明に係る不揮発性半導体記憶装置の情報書き込み方法によれば、不揮発性半導体記憶装置に情報を書き込む際に、一定の基板バイアス(V_{sub})を不揮発性半導体記憶装置の半導体基板(11)に印加しているので、非選択セルに於いて、コントロールゲート(15)とフローティングゲート(18)との間の電位差が大きくなっても、コントロールゲートの角部(18A)でのフローティングゲート(15)へ向かう電界の強度が基板バイアス(V_{sub})によって生じるコントロールゲート(18)と半導体基板(11)間の電界によって緩和されるので、非選択セルでのコントロールゲートの角部からフローティングゲートへの誤った電子注入を極力抑止することができ、誤ったプログラムが当該不揮発性半導体記憶装置になされることを抑止することが可能になる。

【0010】

【実施例】以下に本発明の実施例に係る不揮発性半導体記憶装置の情報書き込み方法を図面を参照しながら説明する。上記装置は、図1に示すように、半導体基板(11)上にドレイン領域層(12)とソース領域層(13)とが形成され、該ドレイン領域層(12)とソース領域層(13)との間の領域に第1の絶縁膜(14)を介してフローティングゲート(15)が形成され、第2の絶縁膜(16)が前記フローティングゲート(15)の上部に形成され、前記第2の絶縁膜(16)の上部から前記フローティングゲート(15)の側部にかけて第3の絶縁膜(17)を介してコントロールゲート(18)が形成されてなるスプリット型フラッシュメモリである。

【0011】以下で上記の不揮発性半導体記憶装置にプログラムする方法について説明する。まず、プログラムをする際に、図1に示すように、約-3Vの基板バイアス(V_{sub})を半導体基板(11)に印加する。なお、このときのドレイン電圧(V_D)は0.8Vであり、ソース電圧(V_{PP})は1.2Vであり、約1.2Vのソース電圧(V_{FF})によって誘起されるフローティングゲート(15)の電位は約10Vになる。

【0012】次に、選択セルのコントロールゲート(18)には2Vのゲート電圧(V_G)を印加する。すると、従来と同様に選択セルを構成するトランジスタがONされ、フローティングゲート(15)直下のチャネルを通過して、同時にキャリア

がフローティングゲート(15)に注入されることによってプログラムがなされる。

【0013】一方、非選択セルには、ゲート電圧(V_G)を0Vにするのでメモリセルを構成するトランジスタはOFFされており、キャリア(e^-)がチャネルからフローティングゲート(15)に注入されないで、プログラムはされない。ところで、従来の不揮発性半導体記憶装置では、非選択セルのコントロールゲート(8)とフローティングゲート(5)との間の電位差が約10Vと大きく、その間の電界強度が強くなるので、図6に示すように、コントロールゲートの角部(8A)からフローティングゲート(5)に電子が注入されやすく、誤動作の原因となっていた。

【0014】しかし、本実施例での書き込み方法によれば、約-3Vの基板バイアス(V_{sub})を半導体基板(11)に印加しているので、コントロールゲートの底部から半導体基板へ電界が生じ、その等電位線の分布は図2に示すようになる。このため、コントロールゲートの角部(18A)において、フローティングゲート(15)へと向かう電界の強度が図7に示すような従来の電界強度に比して緩和され、弱くなっていることがわかる。なお、図2はコントロールゲートとフローティングゲート間の電界の状況を示した図であり、図中の等電位線が密なところでは電界強度が強く、疎なところでは電界強度が弱くなっている。

【0015】これにより、コントロールゲートの角部(18A)からフローティングゲート(15)に向かう電界が従来に比して弱くなるので、非選択セルにおいてコントロールゲートの角部(18A)からフローティングゲート(15)にキャリアが誤って注入されることを極力抑止でき、上記のスプリット型フラッシュメモリに誤ってプログラムがされることを抑止することが可能になる。

【0016】

【発明の効果】以上説明したように、本発明に係る不揮発性半導体記憶装置の情報書き込み方法によれば、不揮発性半導体記憶装置に情報を書き込む際に、一定の基板バイアス(V_{sub})を不揮発性半導体記憶装置の半導体基板(11)に印加しているので、非選択セルでのコントロールゲートからフローティングゲートへの誤った電子注入を極力抑止することができ、当該不揮発性半導体記憶装置に誤ってプログラムがされることを抑止することが可能になる。

【図面の簡単な説明】

【図1】本発明の実施例に係る不揮発性半導体記憶装置の情報書き込み方法を説明する図である。

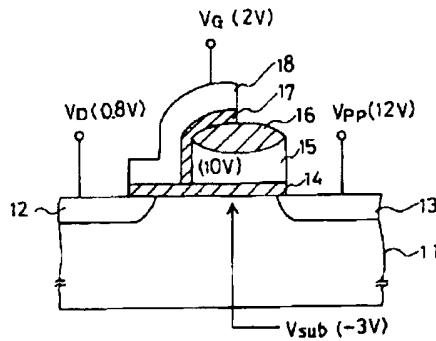
【図2】本発明の実施例に係る不揮発性半導体記憶装置の情報書き込み方法の作用効果を説明する図である。

【図3】スプリット型フラッシュメモリのメモリセルの構造を説明する断面図である。

【図4】スプリット型フラッシュメモリを説明する回路図である。

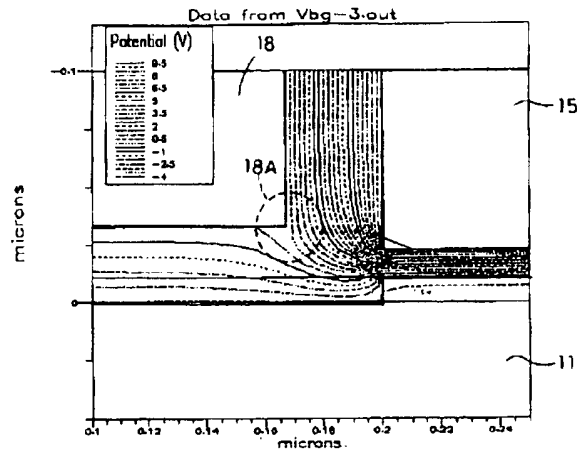
【図5】スプリット型フラッシュメモリの選択セルの情報書き込み状態を説明する図である。

【図1】



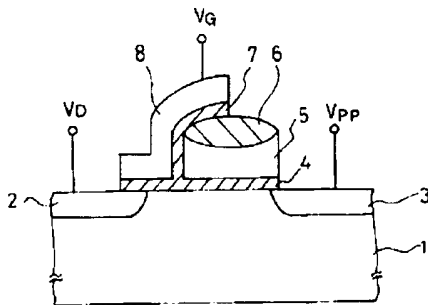
- 11: 半導体基板
12: ドレイン領域
13: ソース領域
14: 第1の絶縁膜
15: フローティングゲート
16: 第2の絶縁膜
17: 第3の絶縁膜
18: コントロールゲート
Vsub: 基板バイアス

【図2】



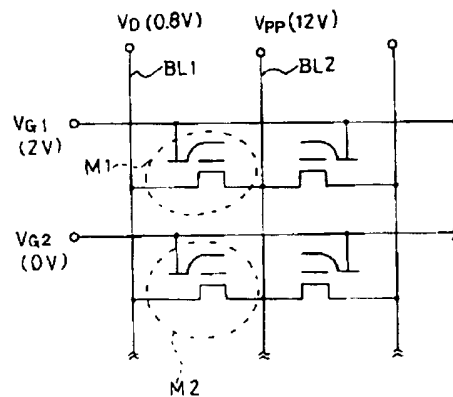
18A: コントロールゲートの角部

【図3】



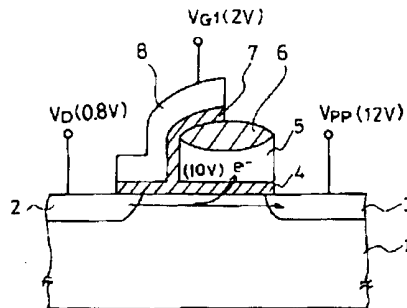
- 1: 半導体基板
2: ドレイン領域
3: ソース領域
4: 第1のゲート絶縁膜
5: フローティングゲート
6: 第2のゲート絶縁膜
7: 第3のゲート絶縁膜
8: コントロールゲート

【図4】

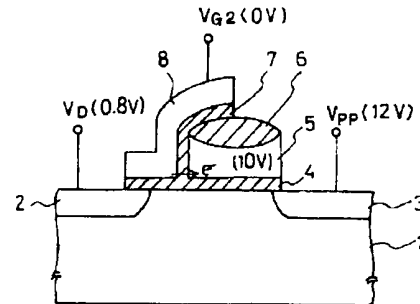


- M1: 選択セル
M2: 非選択セル
BL1: 第1のビット線
BL2: 第2のビット線

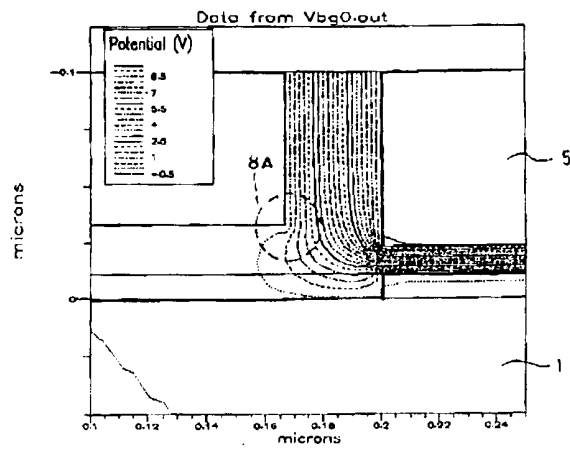
【図5】



【図6】



【図7】



8: コントロールゲートの角部

フロントページの続き

(51)Int.Cl.⁶

G11C 16/02

16/04

識別記号

社内整理番号

F I

技術表示箇所